

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-234420

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

G02F 1/136

G02F 1/1343

H01L 29/786

(21)Application number : 06-046569

(71)Applicant : NEC CORP

(22)Date of filing : 22.02.1994

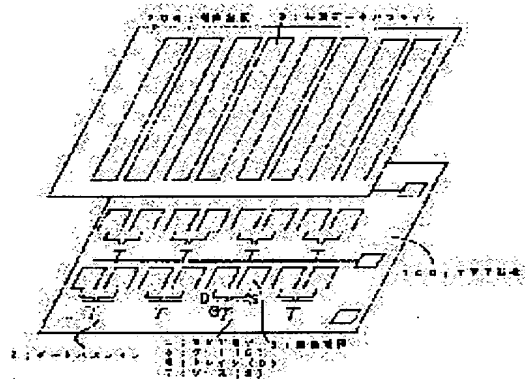
(72)Inventor : SAKAMOTO MICHIAKI  
OI SUSUMU  
SHIBA HIROSHI

## (54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To prevent defects in lines and decrease in the numerical aperture by forming a gate bus line and a common data bus line on each individual substrate.

**CONSTITUTION:** On a TFT substrate 100, amorphous silicon (a-Si or amorphous silicon hydroxide expressed also by a-Si:H) thin film transistor elements TFT1 which are MOS transistors and gate bus lines 2 are formed, while common data bus lines 3 which are used as both of data bus lines and common bus lines are formed on the counter substrate 200. The common data bus line 3 also acts as a display electrode, and is formed as a transparent electrode comprising a conductive material having high transmittance for visible rays, preferably, such as ITO (indium tin lead) and tin oxide. The drain 6 and the source 7 of the TFT1 are disposed in opposite to the respective common data bus lines 3 with liquid crystal electrodes 8 interposed so that the element has two display electrodes. Thus, one TFT is provided with a pair of display electrodes.



## LEGAL STATUS

[Date of request for examination]

08.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2882275

[Date of registration]

05.02.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] An MOS transistor arranged in the shape of a matrix on one substrate of a transparence substrate countered and arranged, A display electrode pair connected to a source terminal and a drain terminal of this MOS transistor, respectively, It has a scan bus connected to a gate terminal of this MOS transistor. An active matrix liquid crystal display characterized by having a data bus line pair countered and arranged in the direction which intersects perpendicularly with said scan bus at said display electrode pair, and said display electrode pair forming 1 pixel on a substrate of another side.

[Claim 2] An active matrix liquid crystal display according to claim 1 characterized by said MOS transistor consisting of an amorphous silicon thin film transistor.

[Claim 3] An active matrix liquid crystal display according to claim 1 characterized by said display electrode and a data bus line consisting of a transparence electrical conducting material.

[Claim 4] An active matrix liquid crystal display according to claim 3 characterized by said transparence electrical conducting material consisting of ITO (indium \*\*\*\*).

[Claim 5] An active matrix liquid crystal display according to claim 1 or 3 characterized by backing said a part of data bus line with Cr.

[Claim 6] An active matrix liquid crystal display according to claim 1 characterized by supplying a data signal of an opposite phase to said data bus line pair mutually.

[Claim 7] An active matrix liquid crystal display according to claim 1 characterized by having formed an insulating protective coat upwards on a substrate of said another side, and for said data bus line carrying out patterning of the ITO, and forming it.

[Claim 8] An MOS transistor arranged in the shape of a matrix on one substrate of a transparence substrate countered and arranged, A display electrode pair connected to a source terminal and a drain terminal of this MOS transistor, respectively, It has a scan bus connected to a gate terminal of this MOS transistor. While countering said display electrode pair, having a data bus line and a common-bus line in the direction which intersects perpendicularly with said scan bus on a substrate of another side and said display electrode pair's consisting of a small display electrode relatively [ electrode / big / display ] relatively A liquid crystal pixel which it countered with said data bus line and said common-bus line, and has been arranged, and said liquid crystal pixel relatively connected to a small display electrode was used as a display pixel, and was relatively connected to a big display electrode is an active matrix liquid crystal display characterized by covering by protection-from-light film.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed	Description	of	the	Invention]
-----------	-------------	----	-----	------------

[0001]

[Industrial Application] Especially this invention relates to the active matrix liquid crystal indicating equipment which takes the structure which prepared the gate bus line and the data bus line on the substrate which counters, respectively about an active matrix liquid crystal indicating equipment.

[0002]

[Description of the Prior Art] Drawing 9 shows the equal circuit of the conventional active matrix liquid crystal indicating equipment, the gate bus line (it is also called a "scan line" or a "scan bus") 2 and the data bus line 10 are formed on the same substrate so that it may intersect perpendicularly and cross, and the thin film transistor (it is called "TFT") 1 is formed in the decussation section. And a drain 6 is connected to the data bus line 10, and the source 7 is connected to the display electrode of liquid crystal 12 for the gate 5 of TFT1 at the gate bus line 2, respectively.

[0003] TFT1 plays the role of a switching element, for example, in the case of 1280x1024 pixels, adds the pulse signal of 20 microseconds of ON time amount to the gate bus line 2 on the frequency of 60Hz, and is turning TFT1 on and off. The signal which should be written in liquid crystal is added to the data bus line 10, and a signal is written in each liquid crystal device 12 one by one along the data bus line 10.

[0004] When TFT1 is ON, if TFT1 turns off, the voltage applied to the data bus line 10 is written in a liquid crystal device 12, a liquid crystal device 12 holds that voltage, liquid crystal voltage is kept constant and the period when the data signal is writing in other liquid crystal devices is also writing the signal in each liquid crystal device by this method.

[0005] However, in the conventional equipment shown in drawing 9 , if a pinhole is in an insulator layer since the gate bus line 2 and the data bus line 10 cross through an insulator layer on the same substrate for example, the gate bus line 2 and the data bus line 10 will connect too hastily, and, as a result, a line defect will arise in a display.

[0006] Moreover, when the gate 5 and a drain 6 short-circuit in TFT1, not only the abnormalities in a pixel corresponding to the element but a line defect will occur.

[0007] As what avoids these defects, as shown in drawing 10 , the gate bus line 2 is formed on one substrate, the data bus line 10 is formed on the substrate of another side, and the technology which prevents both short circuit as un-crossing mutually is indicated by JP,2-1822,A in the gate bus line 2 and the data bus line 10.

[0008] Moreover, as shown in drawing 11 , the configuration of the liquid crystal panel which avoids the decussation on the same substrate of the gate bus line 2 and the data bus line 10 is proposed by JP,62-133478,A by forming TFT1, the gate bus line 2, and the common-electrical-ground bus line 13 linked to the drain electrode 6 of TFT1 in one substrate, and forming a transparent electrode and the data bus line 10 in an opposite substrate.

[0009] The wave form chart for explaining the method of driving the conventional example shown in drawing 11 is shown in drawing 12 . In drawing 12 , a gate signal expresses the signal of the gate bus line 2 impressed to the gate 5 of TFT1 shown in drawing 11 , and a data signal VD expresses the signal of the data bus line 2, and let it be the alternation voltage of \*\*4V. Moreover, source potential expresses the potential of the source 7 of TFT1, and the liquid crystal write-in voltage VLC is the voltage which

deducted the voltage of a display electrode from data signal voltage, and serves as  $VLC=VD-VS$ .  
[0010] A gate signal becomes high potential, and if TFT1 turns on, since the drain 6 is connected to the gland (touch-down) 9, the source potential VS will be set to 0V.  
[0011] If a gate signal becomes low voltage after that and TFT1 turns off, the source 7 of TFT1 will be separated from a gland 9, and will become floating. And if the data signal VD is set to 4V when TFT1 is an ON state in order to carry out capacity coupling of the source 7 to the data bus line 10 through the capacity of liquid crystal 12, in case the data bus line 10 will change to -4V from 4V, the source potential VS changes to -8V from 0V.

[0012] Thus, the voltage between the source potentials VS of data signals VD and TFT1 is held 4V, and since the liquid crystal write-in voltage VLC becomes fixed irrespective of change of the potential of the data bus line 10 after TFT1 off, the voltage written in liquid crystal 12 is held also while TFT1 is off.  
[0013]

[Problem(s) to be Solved by the Invention] However, also in the conventional equipment shown in drawing 11, since the gate bus line 2 and the common-electrical-ground bus line 13 exist in the same substrate, pixel area will decrease and a numerical aperture will fall. Moreover, compared with the case where a common bus line is not prepared, a routing counter may increase and lowering of the yield may be brought about.

[0014] Thus, in the conventional active matrix liquid crystal indicating equipment, since the gate bus line 2, and the common bus line 11 or the common-electrical-ground bus line 13 is formed on the same substrate, a line defect occurs by both short circuit etc., or there is a problem to which a numerical aperture falls. Moreover, in order to form the gate bus line 2, the common bus line 11, or the common-electrical-ground bus line 13 on the same substrate, there is a problem that there are many process processes and the yield is bad compared with the case where only a gate bus line is formed on a substrate.

[0015] Therefore, it prevents decline in a numerical aperture, and this invention reduces process processes, improves the yield, and aims at offering the active matrix liquid crystal display which reduces a manufacturing cost further while it cancels said trouble and cancels the line defect by the short circuit of a gate bus line and a data bus line.

[0016]

[Means for Solving the Problem] An MOS transistor arranged in the shape of a matrix on one substrate of a transparence substrate arranged face to face by this invention in order to attain said object, A display electrode pair connected to a source terminal and a drain terminal of this MOS transistor, respectively, It has a scan bus connected to a gate terminal of this MOS transistor. It has a data bus line pair countered and arranged at said display electrode pair in the direction which intersects perpendicularly with said scan bus on a substrate of another side, and an active matrix liquid crystal display characterized by said display electrode pair becoming 1 pixel is offered.

[0017] In an active matrix liquid crystal indicating equipment concerning this invention, an MOS transistor consists of an amorphous silicon thin film transistor preferably.

[0018] Moreover, in an active matrix liquid crystal indicating equipment concerning this invention, it is characterized by for a display electrode and a data bus line consisting of a transparence electrical conducting material, and a transparence electrical conducting material consisting of ITO (indium \*\*\*\*) preferably.

[0019] Furthermore, an active matrix liquid crystal indicating equipment concerning this invention is characterized by backing a part of data bus line with Cr.

[0020] And an active matrix liquid crystal indicating equipment concerning this invention is characterized by supplying a data signal of an opposite phase to a data bus line pair mutually.

[0021] Moreover, in this invention, it is characterized by having formed an insulating protective coat upwards on a substrate which counters, and for a data bus line carrying out patterning of the ITO, and forming it.

[0022] An MOS transistor arranged in the shape of a matrix on one substrate of a transparence substrate arranged face to face by this invention as another desirable mode, A display electrode pair connected to a

source terminal and a drain terminal of this MOS transistor, respectively, It has a scan bus connected to a gate terminal of this MOS transistor. While countering said display electrode pair, having a data bus line and a common-bus line in the direction which intersects perpendicularly with said scan bus on a substrate of another side and said display electrode pair's consisting of a small display electrode relatively [ electrode / big / display ] relatively Counter with said data bus line and said common-bus line, it is arranged, and said liquid crystal pixel relatively connected to a small display electrode is used as a display pixel. An active matrix liquid crystal display characterized by covering a liquid crystal pixel relatively connected to a big display electrode by protection-from-light film is offered.

[0023] In addition, the above-mentioned mode of this invention includes a configuration with which parts of a configuration which a configuration which consists of an amorphous silicon thin film transistor as an MOS transistor, a display electrode, a data bus line, and a common-bus line become from a transparence electrical conducting material and a data bus line, a common-bus line, etc. were backed with Cr according to a principle of this invention.

[0024]

[Function]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is drawing showing the equal circuit of the 1st example of this invention.

**[Drawing 2]** It is the perspective diagram of the 1st example of this invention.

**[Drawing 3]** It is the wave form chart showing the method of driving the 1st example of this invention.

**[Drawing 4]** It is the wave form chart showing the method of driving the 1st example of this invention.

**[Drawing 5]** It is drawing showing the equal circuit of the 2nd example of this invention.

**[Drawing 6]** It is the wave form chart showing the method of driving the 2nd example of this invention.

**[Drawing 7]** It is drawing explaining the 3rd example of this invention.

**[Drawing 8]** It is a cross section explaining the 4th example of this invention.

**[Drawing 9]** It is drawing showing the equal circuit of the conventional liquid crystal panel.

**[Drawing 10]** It is drawing showing the equal circuit of the liquid crystal panel indicated by JP,2-1822,A.

**[Drawing 11]** It is drawing showing the equal circuit of the liquid crystal panel indicated by JP,62-133478,A.

**[Drawing 12]** It is the wave form chart showing the method of driving the panel indicated by JP,62-133489,A.

**[Description of Notations]**

- 1 TFT Element
- 2 Gate Bus Line
- 3 Common Data Bus Line A
- 4 Common Data Bus Line B
- 5 Gate
- 6 Drain
- 7 Source
- 8 Liquid Crystal Electrode
- 9 Gland
- 10 Data Bus Line
- 11 Common Bus Line
- 12 Liquid Crystal
- 13 Common-Electrical-Ground Bus Line
- 14 Metal Cr
- 15 Light Filter
- 16 Insulating Protective Coat
- 100 TFT Substrate
- 200 Opposite Substrate
- 1001 Gate Signal
- 1002 Data Signal 1
- 1003 Data Signal 2
- 1004 Drain Potential
- 1005 Source Potential
- 1006 Common Potential

---

**[Translation done.]**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-234420

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
	1/1343			
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数8 F D (全 9 頁)				

(21)出願番号 特願平6-46569

(22)出願日 平成6年(1994)2月22日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 坂本 道昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 大井 進

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 柴 宏

東京都港区芝五丁目7番1号 日本電気株式会社内

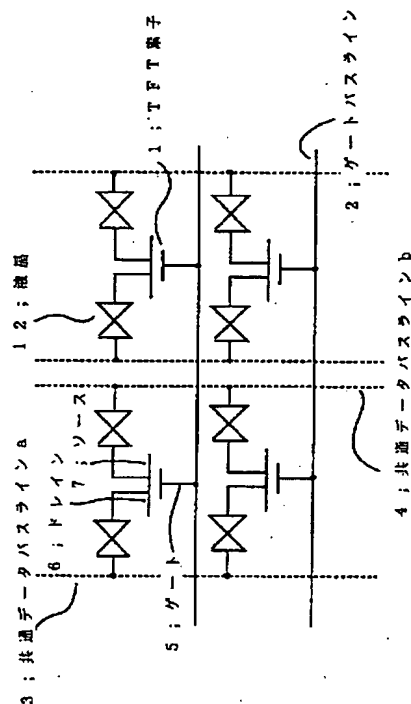
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【目的】 ゲートバスラインとデータバスラインまたは共通接地バスラインを同一基板上に形成することに起因するゲートバスラインとデータバスライン（共通接地バスライン）の短絡による線欠陥、開口率の低下を防ぐと共に、製造工程を削減し、歩留りの改良を目的とする。

【構成】 アクティブマトリクス液晶表示装置において、T F T基板側にT F T素子とゲートバスラインを形成し、共通バスラインとデータバスラインを共通化し共通データバスラインとして対向基板上に形成し、1つのT F T素子のソース及びドレインが各々液晶電極を介して共通データバスラインと接続し、1つのT F T素子が2つの表示電極を持つ構成から成る。





(2)

## 【特許請求の範囲】

【請求項1】対向して配置される透明基板の一方の基板上に、マトリクス状に配置されたMOSトランジスタと、該MOSトランジスタのソース端子とドレイン端子にそれぞれ接続された表示電極対と、該MOSトランジスタのゲート端子に接続された走査バス線と、を有し、他方の基板上に前記走査バス線と直交する方向に、前記表示電極対に対向して配置されたデータバス線対を有し、前記表示電極対が1画素を形成することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】前記MOSトランジスタがアモルファシリコン薄膜トランジスタからなることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】前記表示電極およびデータバス線が透明導電材料からなることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項4】前記透明導電材料がITO（インジウム錫鉛）からなることを特徴とする請求項3記載のアクティブマトリクス型液晶表示装置。

【請求項5】前記データバス線の一部がCrで裏打ちされていることを特徴とする請求項1又は3記載のアクティブマトリクス型液晶表示装置。

【請求項6】前記データバス線対に互いに逆相のデータ信号を供給することを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項7】前記データバス線が、前記他方の基板上に絶縁性保護膜を形成した上にITOをパターンニングして形成されることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項8】対向して配置される透明基板の一方の基板上に、マトリクス状に配置されたMOSトランジスタと、該MOSトランジスタのソース端子とドレイン端子にそれぞれ接続された表示電極対と、該MOSトランジスタのゲート端子に接続された走査バス線と、を有し、他方の基板上に前記走査バス線と直交する方向に、前記表示電極対に対向してデータバス線及び共通バス線を備え、前記表示電極対は相対的に大きな表示電極と相対的に小さな表示電極からなると共に、前記データバス線及び前記共通バス線と対向して配置され、表示画素としては前記相対的に小さな表示電極に接続された液晶画素が用いられ、相対的に大きな表示電極に接続された液晶画素は遮光膜で覆うことを特徴とするアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はアクティブマトリクス型液晶表示装置に関し、特に、ゲートバスラインとデータバスラインとを対向する基板上にそれぞれ設けた構造をとるアクティブマトリクス型液晶表示装置に関する。

## 【0002】

2

【従来の技術】図9は従来のアクティブマトリクス型液晶表示装置の等価回路を示すもので、ゲートバスライン（「スキャンライン」あるいは「走査バス線」ともいう）2とデータバスライン10は直交して交叉するように同一基板上に形成され、その交叉部に薄膜トランジスタ（「TFT」という）1が設けられている。そして、TFT1のゲート5はゲートバスライン2に、ドレイン6はデータバスライン10に、ソース7は液晶12の表示電極にそれぞれ接続されている。

【0003】TFT1はスイッチング素子の役割を果たし、例えば1280×1024画素の場合、ゲートバスライン2に周波数60Hzでオン時間20μsのパルス信号を加えてTFT1をオン・オフしている。データバスライン10には液晶に書き込むべき信号が加えられ、データバスライン10に沿って順次各々の液晶素子12に信号が書き込まれる。

【0004】TFT1がオンの時、データバスライン10に加えられた電圧が液晶素子12に書き込まれ、TFT1がオフすると液晶素子12はその電圧を保持して、データ信号がほかの液晶素子の書き込みを行っている期間も液晶電圧は一定に保たれており、この方法で各液晶素子に信号を書き込んでいる。

【0005】しかし、図9に示す従来の装置においては、ゲートバスライン2とデータバスライン10が同一基板上で絶縁膜を介して交叉するため、例えば絶縁膜にピンホールがあると、ゲートバスライン2とデータバスライン10とが短絡してしまい、その結果表示装置に線欠陥が生じる。

【0006】また、TFT1においてゲート5とドレイン6が短絡した場合、その素子に対応した画素異常だけでなく線欠陥が発生することになる。

【0007】これらの欠点を回避するものとして、例えば特開平2-1822号公報には、図10に示すように、ゲートバスライン2を一方の基板上に設け、データバスライン10を他方の基板上に設け、ゲートバスライン2とデータバスライン10を互いに非交叉として両者の短絡を防ぐ技術が開示されている。

【0008】また、特開昭62-133478号公報には、図11に示すように、一方の基板上にTFT1と、ゲートバスライン2と、TFT1のドレイン電極6に接続した共通接地バスライン13とを設け、対向基板に透明電極とデータバスライン10を形成することにより、ゲートバスライン2とデータバスライン10の同一基板上における交叉を回避する液晶パネルの構成が提案されている。

【0009】図11に示した従来例の駆動法を説明するための波形図を図12に示す。図12において、ゲート信号は図11に示すTFT1のゲート5に印加されるゲートバスライン2の信号を表わし、データ信号V<sub>p</sub>はデータバスライン2の信号を表わし、±4Vの交番電圧とされる。また、ソース電位はTFT1のソース7の電位

50

(3)

3

を表わし、液晶書込み電圧 $V_{LC}$ は、データ信号電圧から表示電極の電圧を差し引いた電圧であり、 $V_{LC}=V_D-V_S$ となる。

【0010】ゲート信号が高電位になり、TFT1がオンするとドレイン6はグランド（接地）9に接続されているため、ソース電位 $V_S$ は0Vになる。

【0011】その後ゲート信号が低電位になりTFT1がオフすると、TFT1のソース7はグランド9から切り離されフローティングになる。そして、ソース7は液晶12の容量を介してデータバスライン10と容量結合するため、TFT1がオン状態の時にデータ信号 $V_D$ を例えば4Vにしておくと、データバスライン10が4Vから-4Vに変化する際に、ソース電位 $V_S$ は0Vから-8Vに変化する。

【0012】このように、データ信号 $V_D$ とTFT1のソース電位 $V_S$ 間の電圧は4Vに保持され、液晶書込み電圧 $V_{LC}$ は、TFT1オフ後に、データバスライン10の電位の変化にかかわらず一定となるため、液晶12に書き込まれた電圧はTFT1がオフの間も保持される。

【0013】

【発明が解決しようとする課題】しかしながら、図11に示す従来の装置においても、同一基板内にゲートバスライン2と共通接地バスライン13が存在するため、画素面積が減少し、開口率が低下することになる。また、共通バスラインを設けない場合に比べ、工程数が増加し、歩留りの低下をもたらす可能性がある。

【0014】このように従来のアクティブマトリクス型液晶表示装置では、同一基板上にゲートバスライン2と、共通バスライン11または共通接地バスライン13が形成されるため、両者の短絡などにより線欠陥が発生したり、開口率が低下する問題がある。また、ゲートバスライン2と共通バスライン11または共通接地バスライン13を同一基板上に形成するために、単にゲートバスラインのみを基板上に形成する場合に比べてプロセス工程が多く歩留りが悪いという問題がある。

【0015】したがって、本発明は、前記問題点を解消し、ゲートバスラインとデータバスラインの短絡による線欠陥を解消すると共に、開口率の低下を防ぎ、且つプロセス工程を削減し歩留りを改良し、更には製造コストを低減するアクティブマトリクス型液晶表示装置を提供することを目的とする。

【0016】

【課題を解決するための手段】前記目的を達成するため、本発明は、対向して配置される透明基板の一方の基板上に、マトリクス状に配置されたMOSトランジスタと、該MOSトランジスタのソース端子とドレイン端子にそれぞれ接続された表示電極対と、該MOSトランジスタのゲート端子に接続された走査バス線と、を有し、他方の基板上に前記走査バス線と直交する方向に、前記表示電極対に対向して配置されたデータバス線対を有

4

し、前記表示電極対が1画素となることを特徴とするアクティブマトリクス型液晶表示装置を提供する。

【0017】本発明に係るアクティブマトリクス型液晶表示装置においては、MOSトランジスタは、好ましくはアモルファスシリコン薄膜トランジスタからなるものである。

【0018】また、本発明に係るアクティブマトリクス型液晶表示装置において、表示電極およびデータバス線は透明導電材料からなり、透明導電材料は、好ましくはITO（インジウム錫鉛）からなることを特徴とするものである。

【0019】さらに、本発明に係るアクティブマトリクス型液晶表示装置は、データバス線の一部がCrで裏打ちされていることを特徴とするものである。

【0020】そして、本発明に係るアクティブマトリクス型液晶表示装置は、データバス線対に互いに逆相のデータ信号を供給することを特徴としている。

【0021】また、本発明においては、データバス線が、対向する基板上に絶縁性保護膜を形成した上にITOをパターニングして形成されることを特徴とする。

【0022】本発明は、別の好ましい態様として、対向して配置される透明基板の一方の基板上に、マトリクス状に配置されたMOSトランジスタと、該MOSトランジスタのソース端子とドレイン端子にそれぞれ接続された表示電極対と、該MOSトランジスタのゲート端子に接続された走査バス線と、を有し、他方の基板上に前記走査バス線と直交する方向に、前記表示電極対に対向してデータバス線及び共通バス線を備え、前記表示電極対は相対的に大きな表示電極と相対的に小さな表示電極からなり、前記データバス線及び前記共通バス線と対向して配置され、表示画素としては前記相対的に小さな表示電極に接続された液晶画素が用いられ、相対的に大きな表示電極に接続された液晶画素は遮光膜で覆うことを特徴とするアクティブマトリクス型液晶表示装置を提供する。

【0023】なお、本発明の上記態様は、本発明の原理に従い、MOSトランジスタとしてはアモルファスシリコン薄膜トランジスタからなる構成、表示電極、データバス線、共通バス線が透明導電材料からなる構成、及び、データバス線及び／又は共通バス線等の一部がCrで裏打ちされた構成を含んでいる。

【0024】

【作用】上記構成のもと、本発明によれば、従来の技術で問題とされた、ゲートバスラインとデータバスラインの短絡による線欠陥の発生や、この線欠陥を抑制する構造により生じる開口率の低下という問題を回避すると共に、TFT基板上にはゲートバスラインのみを形成すればよいため、製造工程を削減でき、歩留りの改良、及び製造コストの低減が可能となる。

【0025】本発明においては、MOSトランジスタ

(4)

5

は、アモルファスシリコン薄膜トランジスタから成り、大面積の安価なガラス基板上に比較的低温で容易に形成可能とされ、高画質のアクティブマトリクス方式の液晶表示装置を提供する。

【0026】また、本発明においては、透明導電材料として好ましくは、比抵抗の小さなITO（インジウム錫鉛）が用いられる。

【0027】さらに、本発明によれば、対向基板にITO等で形成された共通データバスラインの一部を金属Crで裏打ちすることにより配線抵抗を低くし、駆動信号波形の伝送特性を改善し、且つラインの断線等に対する保護を与える。

【0028】そして、本発明によれば、データバス線対に互いに逆相のデータ信号を入力することにより、液晶書込み電圧はTFT素子がオン状態からオフ状態に変化したのちにおいても変化せず、オン時と同一の電圧に保持され、この一定の液晶書込み電圧を用いて液晶パネルを駆動することができる。

【0029】また、本発明においては、データバス線が、対向する基板上に絶縁性保護膜を形成した上にITOをパターニングして形成され、カラーフィルターの遮光用の金属Crとデータバス線との電氣的絶縁性が確保されている。

【0030】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0031】

【実施例1】図1に本発明の第1の実施例の等価回路を、図2にその斜視図をそれぞれ示す。図示のように、本発明のアクティブマトリクス液晶表示装置では、TFT基板100側には、MOS型トランジスタであるアモルファスシリコン（a-Si；水素化アモルファスシリコンでa-Si:Hとも記す）薄膜トランジスタ素子TFT1と、ゲートバスライン2とを設け、対向基板200側には、データバスラインと共通バスラインを兼ねた共通データバスライン3が設けられている。

【0032】共通データバスライン3は表示電極を兼ね、好ましくは、ITO（インジウム錫鉛；Indium-Tin-Oxide）や酸化錫等、可視光の透過率が高い導電性材料からなる透明電極で形成されている。

【0033】TFT1のドレイン6とソース7は、各々液晶電極8を介して共通データバスライン3と対向配置され2つの表示電極をもつ。

【0034】本実施例では、このように、ゲートバスライン2と共通データバスライン3を別々の基板上に形成することにより、従来の技術の問題であったゲートバスライン2と共通データバスライン3との短絡による線欠陥の発生や開口率の低下を回避できる。

【0035】また、本実施例では、TFT1のソース7とドレイン6の双方に表示電極が設けられている。この

6

ように、1つのTFTに表示電極を対に設けることによって液晶パネルの開口率を向上することができる。

【0036】そして、本実施例では、TFT基板100上にはゲートバスライン2のみを形成すればよいため、製造工程を簡略化することができ、歩留りの低下を防ぎ、結果的に製造コストを低減する。

【0037】次に、図3および図4を参照して、本実施例に係るアクティブマトリクス液晶表示装置の駆動法の一例を説明する。なお、図3と図4の時間軸は互いに対応している。

【0038】図3に示すように、図1の共通データバスライン3、4には、0Vを中心とした周期120 $\mu$ s、振幅 $\pm 2$ Vの互いに反転した（逆相の）データ信号1、2（1002、1003）が供給される。

【0039】ゲートバスライン2には、図3の信号1001に示すように、オン電圧15V、オフ電圧-15V、オン時間（パルス幅）20 $\mu$ s、周期16.7msのゲート信号を印加して、TFT1をオン・オフする。図3に示すように、時間軸上約320 $\mu$ sから20 $\mu$ sの期間、ゲート信号1001はオン電圧とされ、この時、互いに逆相のデータ信号1、2（1002、1003）の影響が相殺されて、図4に示すようにTFT1のドレイン電位1004とソース電位1005は0Vになる。

【0040】TFT1がオフすると、ドレイン6とソース7はフローティングになるため、データ信号1、2（1002、1003）の変動の影響を受け、例えばデータ信号の電圧が-4V降下すると、それとともにドレイン電位1004及びソース電位1005は、データ信号の変動分である-4Vだけ電位が変動する。

【0041】液晶書込み電圧 $V_{LC}$ は、TFT1がオン時のデータ信号の電位とソース電位の差で決まり（即ち $V_{LC} = V_D - V_S$ ）、TFT1がオフ状態となっても液晶書込み電圧 $V_{LC}$ は一定に保持され、このことを利用して液晶パネルを駆動する。

【0042】なお、本実施例では、1つのTFT素子1のソースとドレインには1対の表示電極が設けられており、該1対の表示電極に接続された2つの液晶12には同一の書込み電圧で書込みが行なわれるため、2つの液晶12が1画素を形成することになる。

【0043】

【実施例2】図5を参照して、本発明の第2の実施例を以下に説明する。同図に示すように、TFT1のドレイン6側は大きな液晶電極（「表示電極」ともいう）を介してデータバスライン10と対向配置し、ソース7側は相対的に小さな液晶電極を介して共通バスライン11と対向配置している。

【0044】表示画素としてはソース7側に接続された液晶画素12が用いられ、ドレイン6側に接続された液晶画素は遮光膜で覆う。これは、大きい方の液晶電極に印加される電位はゲート信号のオン・オフにかかわらず、

(5)

7

データバスライン10が変化すると液晶書込み電圧が変わってしまうため、表示装置としては用いられず、このため遮光膜で覆っている。

【0045】次に、図6を参照して、本実施例に係る装置の駆動法を説明する。ゲート信号1001として図示のようなパルス信号を入力し、共通データバスライン10にはデータ信号 $V_D$  (1002)を、共通バスライン11には共通電位1006のような一定電位 $V_C$ をそれぞれ供給する。

【0046】ゲート信号が高電位になりTFT1がオン状態にある時、TFT1のドレイン6側に接続された液晶容量を $C_1$ 、ソース7側に接続された液晶容量を $C_2$ とすれば、ソース電位は、

$$V_P = C_1 / (C_1 + C_2) \times (V_D - V_C) + V_C$$

となるので、 $C_1 \gg C_2$  ( $C_1$ が $C_2$ に比べて大)の時、 $V_P = V_D$ となり、データ信号 $V_D$  (1002)がソース7に書き込まれる。

【0047】また、ゲート信号が低電位でTFT1がオフ状態にある時は、ソース電位1005は一定になり、液晶電位は一定に保持される。

【0048】

【実施例3】図7を参照して、本発明の第3の実施例を以下に説明する。図示の如く、本実施例では、共通データバスライン3の一部を金属Cr14で裏打ちしている。前記第1の実施例で説明した通り、共通データバスライン3をITO等の透明電極のみで形成した場合、配線抵抗が大きくなり、このため、データ信号に歪みが生じる等駆動信号の伝送特性が劣化したり、あるいは断線したりする可能性が生じるが、本実施例は、共通データバスライン3の一部を金属Cr14で裏打ちすることにより、これらの問題を解消するものである。

【0049】金属Cr14による裏打ちの態様としては、例えば図7(A)に示すように、共通データバスライン3の中央部に長手方向に沿ってCrの裏打ちラインを形成するもの、あるいは図7(B)に示すように、図示上下分割された共通データバスラインの端部を金属Cr14を裏打ちして相互接続するもの等がある。

【0050】なお、図7(B)では、共通データバスライン3を図示上下に分割しているが、これは、図7

(A)の構成では、共通データバスライン3の中央部にCrの裏打ちラインが設けられているため開口率が低下するという事を回避するものである。

【0051】

【実施例4】図8に本発明の第4の実施例に係る液晶パネルの断面図を示す。図8(A)にはTFT基板100に対向する対向基板200の断面図が、図8(B)にはTFT基板100の断面図がそれぞれ示されている。

【0052】通常のカラフィルタ15の遮光には金属Cr14が用いられているので、その直上に共通データバスライン3を形成するとこれらが短絡することになる。このため、図8(A)に示すように、絶縁性の保護膜16

8

を形成した上にITOをパターニングする。絶縁性の保護膜16としては、熱硬化アクリル樹脂(例えば日本合成ゴム社製のオプトマーSS等)等が用いられる。

【0053】以上、本発明を上記各種実施例に即して説明したが、本発明は、これらの実施態様の各種組合せを含むことはいうまでもなく、さらに本発明の原理に準ずる各種実施態様を含むものである。

【0054】

【発明の効果】以上説明したように本発明によれば、ゲートバスラインと共通データバスラインを別々の基板上に形成することにより、従来の技術の問題であったゲートバスラインとデータバスラインの短絡による線欠陥の発生や、これを抑制する構造により生じる開口率の低下を防ぐことができる。さらに、本発明によれば、TFT基板上にはゲートバスラインのみを形成すればよいため、従来技術よりも製造工程を1工程削減でき、歩留りの改良と製造コストの低減が可能となる。

【0055】本発明においては、MOSトランジスタは、アモルファスシリコン薄膜トランジスタから成り、大面積の安価なガラス基板上に比較的低温で容易に形成可能とされ、高画質のアクティブマトリクス方式の液晶表示装置を提供する。

【0056】また、本発明によれば、表示電極およびデータバス線が透明導電材料からなり、液晶パネルにおける可視光の透過性を高めている。そして、本発明においては、透明導電材料として好ましくは、比抵抗の小さなITO(インジウム錫鉛)が用いられる。

【0057】さらに、本発明によれば、対向基板にITO等で形成された共通データバスラインの一部を金属Crで裏打ちすることにより配線抵抗を小さくして駆動信号波形の伝送特性を改善し、且つラインの断線等に対する保護を与える。

【0058】そして、本発明によれば、データバス線対に互いに逆相のデータ信号を入力することにより、液晶書込み電圧はTFT素子がオン状態からオフ状態に変化したのちにおいてもオン時と同一の電圧に保持され、この液晶書込み電圧を用いて液晶パネルを駆動することができるという効果を有する。

【0059】また、本発明においては、データバス線が、対向する基板上に絶縁性保護膜を形成した上にITOをパターニングして形成され、カラーフィルタの遮光用の金属Crとデータバス線との電氣的絶縁性が確保されている。

【0060】さらに、本発明の好ましい別の態様として、対向基板上に走査バス線と直交する方向に表示電極対に対向してデータバス線及び共通バス線を備え、薄膜トランジスタのソースとドレインに接続される表示電極対は相対的に大きな表示電極と相対的に小さな表示電極からなり、データバス線及び共通バス線と対向して配置された構成によっても、ゲートバスラインとデータバス

(6)

9

10

ラインの短絡による線欠陥の発生や開口率の低下という問題を回避できると共に、製造工程を削減でき、歩留りの改良、及び製造コストの低減が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の等価回路を示す図である。

【図2】本発明の第1の実施例の斜視図である。

【図3】本発明の第1の実施例の駆動法を示す波形図である。

【図4】本発明の第1の実施例の駆動法を示す波形図である。

【図5】本発明の第2の実施例の等価回路を示す図である。

【図6】本発明の第2の実施例の駆動法を示す波形図である。

【図7】本発明の第3の実施例を説明する図である。

【図8】本発明の第4の実施例を説明する断面図である。

【図9】従来の液晶パネルの等価回路を示す図である。

【図10】特開平2-1822号公報に開示された液晶パネルの等価回路を示す図である。

【図11】特開昭62-133478号公報に開示された液晶パネルの等価回路を示す図である。

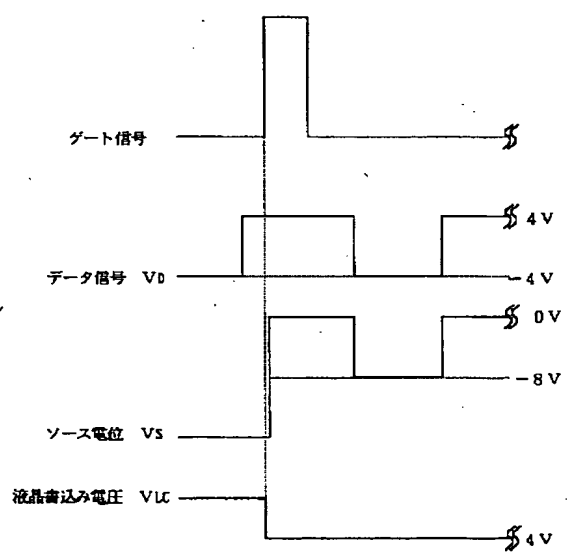
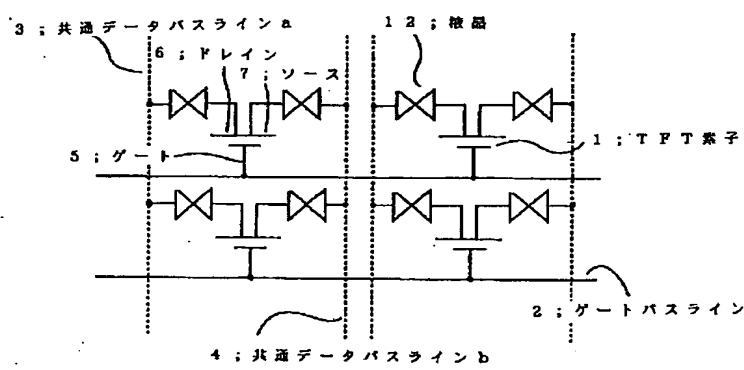
【図12】特開昭62-133489号公報に開示されたパネルの駆動法を示す波形図である。

【符号の説明】

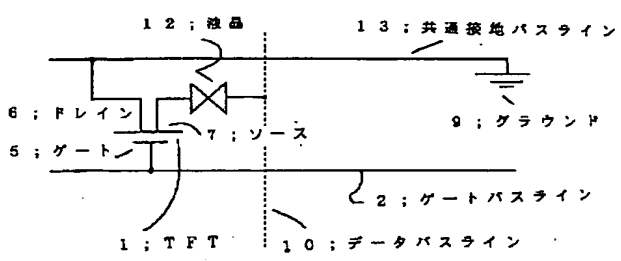
- 1 TFT素子
- 2 ゲートバスライン
- 3 共通データバスラインa
- 4 共通データバスラインb
- 5 ゲート
- 6 ドレイン
- 7 ソース
- 8 液晶電極
- 9 グランド
- 10 データバスライン
- 11 共通バスライン
- 12 液晶
- 13 共通接地バスライン
- 14 金属Cr
- 15 カラーフィルター
- 16 絶縁性保護膜
- 100 TFT基板
- 200 対向基板
- 1001 ゲート信号
- 1002 データ信号1
- 1003 データ信号2
- 1004 ドレイン電位
- 1005 ソース電位
- 1006 共通電位

【図1】

【図12】

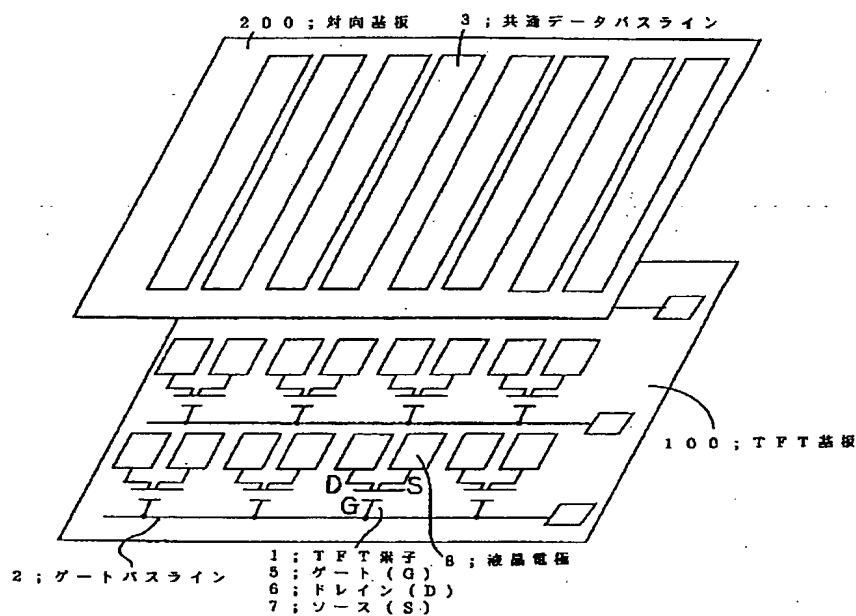


【図11】

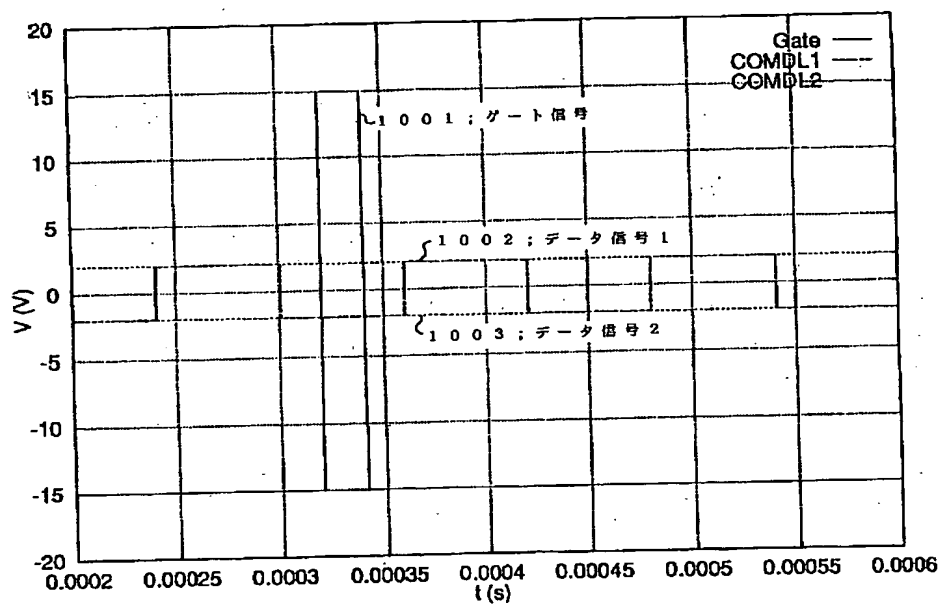


(7)

【図2】

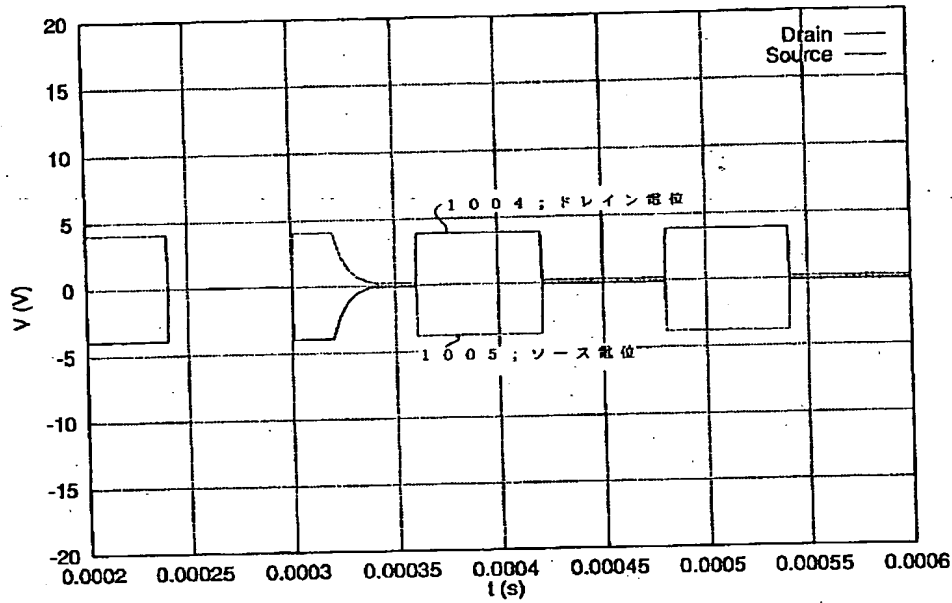


【図3】

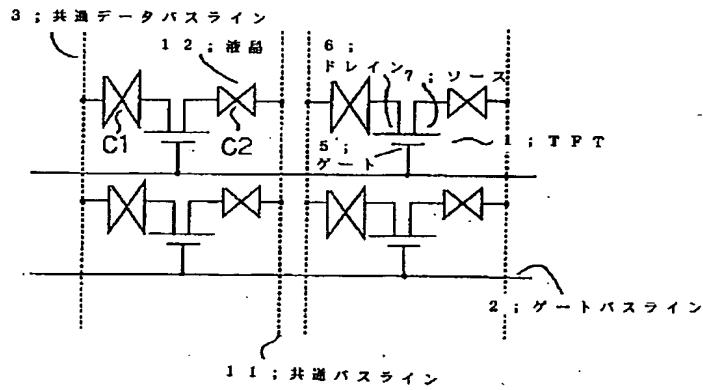


(8)

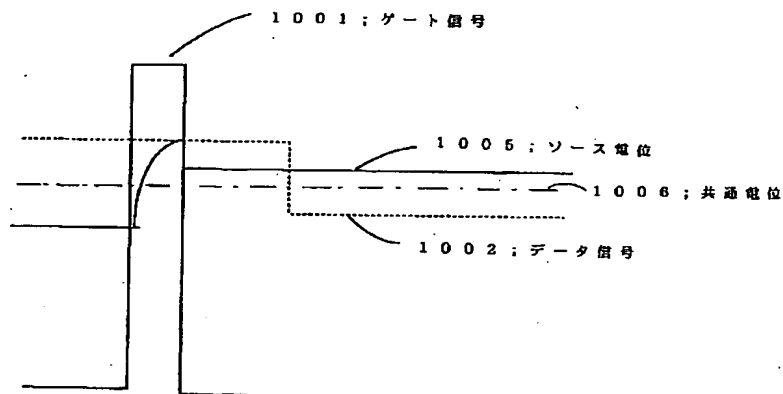
【図4】



【図5】

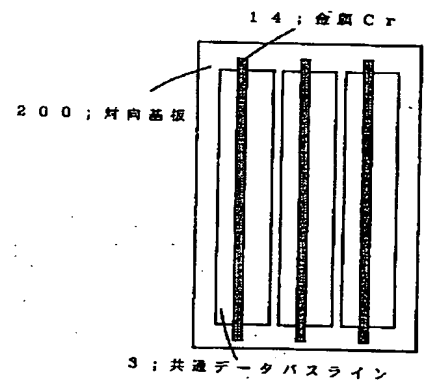


【図6】

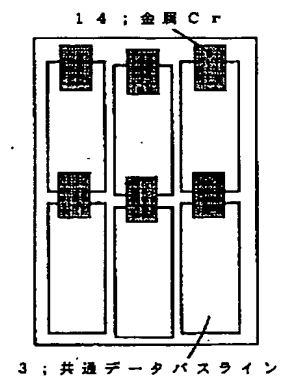


【図7】

(A)

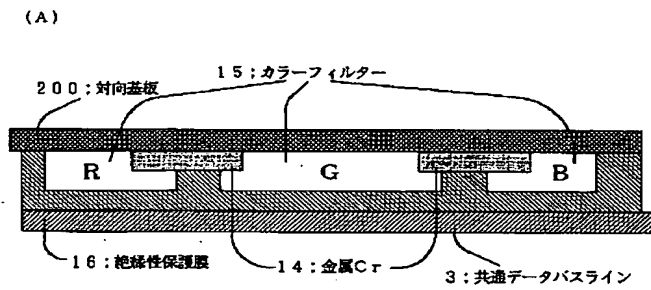


(B)

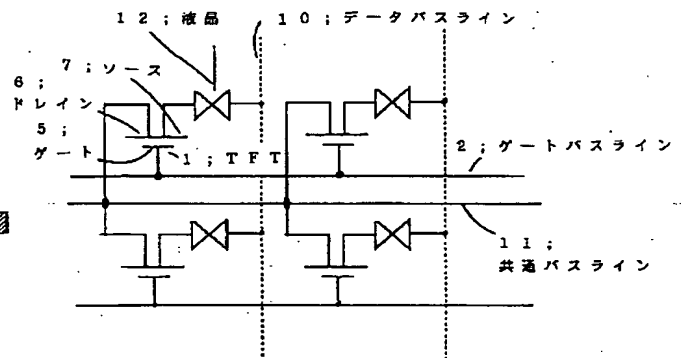


(9)

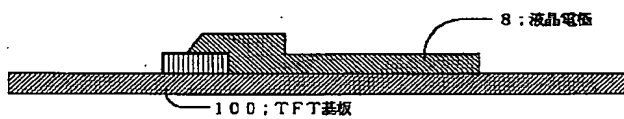
【図8】



【図10】



(B)



【図9】

